

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-335440

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
23/14				
H 0 5 K 1/03	G	7011-4E		
		9355-4M	H 0 1 L 23/ 12	N
		9355-4M	23/ 14	R

審査請求 未請求 請求項の数3(全 3 頁) 最終頁に続く

(21)出願番号 特願平4-138880

(22)出願日 平成4年(1992)5月29日

(71)出願人 000004466

三菱瓦斯化学株式会社

東京都千代田区丸の内2丁目5番2号

(72)発明者 池口 信之

東京都葛飾区新宿6丁目1番1号 三菱瓦斯化学株式会社東京工場内

(54)【発明の名称】 低熱膨張多層板の製造法

(57)【要約】

【目的】 半導体搭載用などに好適に使用可能な低熱膨張のプリント配線板用多層板の製造法である。

【構成】 熱膨張率が 10×10^{-6} K⁻¹以下の全芳香族ポリアミド繊維不織布基材銅張積層板に内層用プリント配線網を形成し、このプリント配線面に多層化接着用のプリプレグ、さらに銅箔或いは片面銅張積層板を重ね加熱・加圧することからなる低熱膨張多層板の製造法

【特許請求の範囲】

【請求項1】 熱膨張率が 10×10^{-6} K⁻¹以下の全芳香族ポリアミド繊維不織布基材銅張積層板に内層用プリント配線網を形成し、このプリント配線面に多層化接着用のプリプレグ、さらに銅箔或いは片面銅張積層板を重ね加熱・加圧することからなる低熱膨張多層板の製造法

【請求項2】 該全芳香族ポリアミド繊維不織布基材銅張積層板の絶縁層が、樹脂量30～40重量%であり、製造した低熱膨張多層板の全厚みの 50～90%の範囲である請求項1記載の低熱膨張多層板の製造法

【請求項3】 該多層化接着用のプリプレグが、E-ガラス、S-ガラス、SII-ガラス、T-ガラス、C-ガラス、A-ガラス又はD-ガラス繊維織布を基材としてなるものである請求項1記載の低熱膨張多層板の製造法

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体搭載用などに好適に使用可能な低熱膨張のプリント配線板用多層板の製造法である。

【0002】

【従来の技術】内層板用の銅張積層板は通常、金属箔、ガラス繊維基材に熱硬化性樹脂を含浸し乾燥してなるプリプレグを用い、鏡面板を介して多数組組み合わせ（レイアップ工程）、これを加熱、加圧（プレス工程）して製造されている。

【0003】この銅張積層板としてもっとも汎用的なE-ガラス繊維基材の銅張積層板では、XY方向（板面に平行方向）の熱膨張率が $13 \sim 20 \times 10^{-6}$ K⁻¹程度であり、また、クォーツ（石英ガラス）繊維を用いると $6 \sim 8 \times 10^{-6}$ K⁻¹程度とできるが、E-ガラス繊維より20～30倍高価で、機械加工、特にドリル孔あけ性が劣り実用性に欠けるものであった。さらに、同程度のものとして全芳香族ポリアミド繊維を使用する方法があるが、この場合にもドリルによる繊維切れが悪く、孔壁にポリアミド繊維がケバだつ欠点があった。

【0004】

【発明が解決しようとする課題】本発明は、低熱膨張率であり、かつ加工が容易で、半導体チップ搭載後の加熱ストレスにおいてチップの破壊がない低熱膨張多層板の製造法を提供するものである。

【0005】

【課題を解決するための手段】すなわち、本発明は、熱膨張率が 10×10^{-6} K⁻¹以下の全芳香族ポリアミド繊維不織布基材銅張積層板に内層用プリント配線網を形成し、そのプリント配線面に多層化接着用のプリプレグ、さらに銅箔或いは片面銅張積層板を重ね加熱・加圧することからなる低熱膨張多層板の製造法である。また、本発明の好ましい態様においては、該全芳香族ポリアミド繊維不織布基材銅張積層板の絶縁層が、樹脂量30～40重量%であり、製造した低熱膨張多層板の全厚みの 50～90%

の範囲であること、該多層化接着用のプリプレグが、E-ガラス、S-ガラス、SII-ガラス、T-ガラス、C-ガラス、A-ガラス又はD-ガラス繊維織布を基材としてなるものであることからなる低熱膨張多層板の製造法である。

【0006】以下、本発明の構成を説明する。まず、本発明のXY方向の熱膨張率が 10×10^{-6} K⁻¹以下の全芳香族ポリアミド繊維不織布基材銅張積層板に用いる全芳香族ポリアミド繊維不織布基材プリプレグ（以下、プリプレグ(A)と記す）は、基材として、ポリメタフェニレンイソフタルアミド、ポリパラフェニレンテレフタルアミド、コポリ-パラフェニレン-3,4'-オキシジフェニレンテレフタルアミドなどの全芳香族ポリアミド繊維の不織布を用い、これに下記した熱硬化性樹脂を含浸・乾燥して樹脂量 30～40重量%のB-stageのプリプレグとし、このプリプレグ(A)を適宜複数枚用い、銅箔を重ね積層成形してなるものである。

【0007】本発明の多層化接着用のプリプレグ（以下、プリプレグ(B)と記す）は、基材としてドリル孔あけ性に優れたものを用い、これに熱硬化性樹脂組成物を含浸・乾燥してなるものである。基材としてはE-ガラス、S-ガラス、SII-ガラス、T-ガラス、C-ガラス、A-ガラス、D-ガラスなどの各種ガラス繊維布、液晶性ポリエステル、その他の耐熱性の繊維布、さらにこれらの混織布、不織布などが挙げられる。

【0008】また、含浸に用いる熱硬化性樹脂としては、エポキシ樹脂、不飽和ポリエステル樹脂、シアナート樹脂、その他の熱硬化性樹脂類；これらを適宜二種以上配合してなる組成物；さらにこれら熱硬化性樹脂、それらの二種以上配合してなる組成物をポリビニルブチラール、アクリロニトリル-ブタジエンゴム、多官能性アクリレート化合物、その他の公知の樹脂、添加剤等で変性したもの；架橋ポリエチレン、架橋ポリエチレン/エポキシ樹脂、架橋ポリエチレン/シアナート樹脂、ポリフェニレンエーテル/エポキシ樹脂、ポリフェニレンエーテル/シアナート樹脂、ポリエステルカーボネート/シアナート樹脂、その他の熱可塑性樹脂で変性した架橋硬化性樹脂組成物（IPN又はセミIPN）が例示される。

【0009】また、上記樹脂には適宜、充填剤を配合でき、これらとしては、天然シリカ、溶融シリカ、アモルファスシリカなどのシリカ類、ホワイトカーボン、チタンホワイト、アエロジル、クレー、タルク、ウォラストナイト、天然マイカ、合成マイカ、カオリン、水酸化アルミニウム、マグネシア、アルミナ、パーライト、E-ガラス、A-ガラス、C-ガラス、L-ガラス、D-ガラス、S-ガラス、M-ガラス、G20-ガラスなどのガラス微粉末などが好適なものとして挙げられる。

【0010】本発明では、上記で得た熱膨張率が 10×10^{-6} K⁻¹以下の全芳香族ポリアミド繊維不織布基材銅張積層板に、所望の内層用のプリント配線網を形成し、通

常、多層化接着性を向上させるためにプリント配線銅箔表面を化学的に処理する。この処理法としては、ブラック・オキサイド処理、さらにこのブラック・オキサイド処理の表面凹凸を実質的に保持して還元する方法が用いられる。上記で得た内層板を用い、通常、その両面に内層板の銅箔厚さに応じて適宜プリプレグを一枚或いは複数枚重ね、さらに銅箔或いは片面銅張積層板を重ね積層成形することにより本発明の低熱膨張多層板を製造する。ここに、熱膨張率を低く保つため、内層板の絶縁層の厚さに対する多層化接着用プリプレグの厚さはその50%以下が好ましく、20~40%の範囲とするのが好適である。

【0011】

【実施例】以下、実施例により本発明を説明する。なお、実施例の「部」及び「%」は特に断らないかぎり重量基準である。

実施例1

2,2-ビス(4-シアナトフェニル)プロパン 910部とビス(4-マレイミドフェニル)メタン 90部とを150℃で130分間予備反応させ、これをメチルエチルケトンとN,N'-ジメチルホルムアミドの混合溶剤に溶解した。これにビスフェノールA型エポキシ樹脂(商品名;エポコート1001、エポキシ当量450~500、油化シェルエポキシ株式会社製)600部、オクチル酸亜鉛0.18部を溶解混合してワニスを得た。

【0012】これを厚み0.1mmのE-ガラス平織布に含浸・乾燥して、樹脂量40%のプリプレグ(以下、PPBEと記す)を得た。また、厚み0.1mmの全芳香族ポリアミド繊維不織布(商品名;テクノーラ、帝人株式会社製)に、上記ワニスを含浸・乾燥して、樹脂量37%のプリプレグ(以下、PPAAと記す)を得た。更に、厚み0.1mmの全芳

表 1

項目	実1	比1	比2
内層板のプリプレグ種類	PPAA	PPBE	PPWA
X方向熱膨張率(×10 ⁻⁶ K ⁻¹)	8.9	18	7.1
スルーホール断面状態	良好	良好	ケバ有り

【0017】

【発明の効果】以上、発明の詳細な説明および実施例から明瞭なように、本発明の多層板は、XY方向の熱膨張

* 香族ポリアミド繊維織布(商品名;ケブラー、デュポン社製)に、上記ワニスを含浸・乾燥して、樹脂量38%のプリプレグ(以下、PPWAと記す)を得た。

【0013】上記で得たPPAAを12枚重ね、その両面に厚さ35μmの電解銅箔を重ねたセットを鏡面板を介して多数組重ね、20kg/cm²、180℃、2時間の条件にて積層成形して、厚さ1.2mm、銅箔を除去した時の熱膨張率7.0×10⁻⁶ K⁻¹の両面銅張積層板を得た。この両面銅張積層板の両面に、所望のプリント配線網を形成した後、銅箔表面をブラック・オキサイド処理して銅箔残存率30%の内層板を得た。

【0014】ついで上記で得た内層板の両面に、上記で得たPPBEを2枚ずつ重ね、さらに厚さ18μmの電解銅箔を重ね、20kg/cm²、180℃、2時間の条件にて積層成形して、厚さ1.6mmの多層板を得た。得られた多層板の両面の銅箔を除去した後の熱膨張率を測定した結果、並びにドリルにて1mmφのスルーホール孔あけした孔断面の観察結果を表1に示した。

【0015】比較例1

実施例1において、両面銅張積層板として全芳香族ポリアミド繊維不織布プリプレグ(PPAA)の代わりにE-ガラス平織布プリプレグ(PPAE)を用いてなるものを使用する他は同様とした結果を表1に示した。

比較例1

実施例1において、両面銅張積層板として全芳香族ポリアミド繊維不織布プリプレグ(PPAA)の代わりに全芳香族ポリアミド繊維織布プリプレグ(PPWA)を用いてなるものを使用する他は同様とした結果を表1に示した。

【0016】

【表1】

※率が小さく、加工性に優れたものであり、半導体チップを直接搭載した多層プリント板を好適に製造できるもので、その意義は極めて高いものである。

フロントページの続き

(54) MANUFACTURE OF LOW THERMAL EXPANSION MULTILAYERED BOARD

- (11) 5-335440 (A) (43) 17.12.1993 (19) JP
 (21) Appl. No. 4-138880 (22) 29.5.1992
 (71) MITSUBISHI GAS CHEM CO INC (72) NOBUYUKI IKEGUCHI
 (51) Int. Cl⁵. H01L23/12, H01L23/14, H05K1/03, H05K3/46

PURPOSE: To obtain a manufacturing method of a low thermal expansion multilayered board for a printed wiring board which can be suitably used for mounting semiconductor.

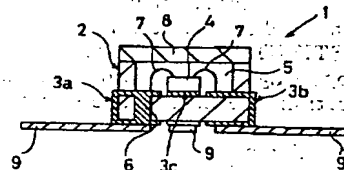
CONSTITUTION: An inner layer printed wiring network is formed on a copper-clad multilayered board of non-woven fabric base material using wholly aromatic polyamide fiber whose thermal expansion coefficient is lower than or equal to $10 \times 10^{-6} \text{K}^{-1}$. Prepreg for multilayer bonding and a copper foil or a single-sided copper-clad multilayered board are stacked on the printed wiring surface and heated with pressure.

(54) PACKAGE FOR ACCOMMODATING SEMICONDUCTOR ELEMENT

- (11) 5-335441 (A) (43) 17.12.1993 (19) JP
 (21) Appl. No. 4-137232 (22) 28.5.1992
 (71) KYOCERA CORP (72) SATORU TOMIE
 (51) Int. Cl⁵. H01L23/15, H01L23/12

PURPOSE: To reduce the contact resistance of a semiconductor package by accommodating a semiconductor element in an accommodation part, and forming an electric conduction part for connecting the accommodation part side end portion of a wiring layer with the bottom surface side end portion of an insulating base body.

CONSTITUTION: For example, in the case that a semiconductor element is a field effect transistor 4, an insulating base body 2 having an accommodation part 5 for accommodating the field effect transistor 4 is prepared. Wiring layers 3a-3c for connecting the field effect transistor 4 are formed. The one end of the wiring layer is arranged in the accommodation part 5, and the other end of the wiring layer is arranged on the bottom surface of the insulating base body 2. The wiring layers stretch along the outer peripheral surface of the insulating base body 2. Through holes 6 for directly connecting the accommodation part side end portion of the wiring layer 3 with the bottom surface side end portion of the insulating base body 2 are formed. Thereby the noise figure and the gain of the field effect transistor 4 can be optimized when the resistance value of the wiring layer 3a is decreased.

**(54) RESIN MOLDING METHOD FOR SEMICONDUCTOR**

- (11) 5-335442 (A) (43) 17.12.1993 (19) JP
 (21) Appl. No. 4-134643 (22) 27.5.1992
 (71) SHARP CORP (72) YASUO OKA(1)
 (51) Int. Cl⁵. H01L23/28, H01L21/56, H01L23/48, H01L33/00, H01L23/50

PURPOSE: To restrain generation of burr to a minimum, and prevent generation of void, by forming a metal-plated layer in the manner in which the layer thickness in a resin seal space and a specified region exceeding the space is made larger than the layer in a tip region protruding from the specified region.

CONSTITUTION: After a space containing a semiconductor element is formed by making a punch 1 abut against a lower die 2, resin is injected in a resin seal space 5 and cured. Metal-plated layers 10a, 10b are formed in the manner in which the layer thickness in the resin seal space 5 and a specified region exceeding the resin seal space 5 is made larger than the layer in a tip region protruding from the specified region. That is, a step-difference is formed in the parts of the metal plated layers 10a, 10b of the upper surface and the lower surface of an outside lead frame 7 exceeding the resin seal space 5 to be resin sealed. By the effect of the step-difference, a gap is formed between the punch 1 and the lower die 2, and gas generated from sealing resin is discharged from the gap to the outside.

